

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-282988

(43)Date of publication of application : 08.10.1992

(51)Int.Cl.

H04N 7/133
G06F 15/332
G06F 15/66
G06F 15/66
H03M 7/30
H04N 1/41
H04N 1/415

(21)Application number : 03-046858

(71)Applicant : SONY CORP

(22)Date of filing : 12.03.1991

(72)Inventor : OKI MITSU HARU

(54) PICTURE DATA CONVERTER

(57)Abstract:

PURPOSE: To make the circuit scale small without much reduction in the conversion accuracy by using curve formed through connection of M-order curves so as to obtain the component.

CONSTITUTION: A picture data of each picture element is fed sequentially to an input port 1 of a picture data transmitter and a block processing circuit 2 implements block processing to N each of input data (N is an integer being 2 or over). A linear approximation discrete cosine transformation (DCT) arithmetic circuit 3 uses a curve formed by connection of j-sets of M-order curves (M is an integer being 1 or over) and causing j-number of times as j-order component from 0-th order component till (N-1)-th order and implements transformation in the order of blocks to obtain coefficients of j-order component. Through the constitution above, since no irrational number is included to elements of a transformation matrix, the word length of the arithmetic circuit is decreased and the arithmetic circuit is simplified and the circuit scale is reduced without deteriorating the conversion accuracy.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-282988

(43) 公開日 平成4年(1992)10月8日

(5) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/133	Z	8838-5C		
G 0 6 F 15/332	S	6798-5L		
15/66	M	8420-5L		
	3 3 0 H	8420-5L		
H 0 3 M 7/30		8836-5J		

審査請求 未請求 請求項の数2(全18頁) 最終頁に続く

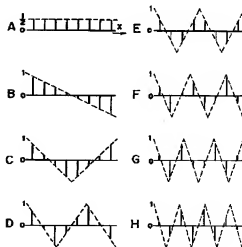
(21) 出願番号	特願平3-48858	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成3年(1991)3月12日	(72) 発明者	大木 光晴 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 松隈 秀盛

(54) 【発明の名称】 画像データ変換装置

(57) 【要約】

【目的】 8次のDCT及びIDCTを適用した場合と同程度の再現性でデータの圧縮及び復元ができると共に、全体として回路規模が従来よりも小さい画像データ変換装置を提供する。

【構成】 入力画像データを8個ずつブロック化し、このブロック単位で変換を行って0次の成分から7次までの1次の成分の係数を得るようにした変換装置において、1個の直線を接続して形成されたゼロクロスが1回生じるような折れ線をその1次の成分として用いる。



本発明による直線近似DCTの基底ベクトル

【特許請求の範囲】

【請求項1】 入力画像データをN個ずつ（Nは2以上の整数）ブロック化し、このブロック単位で変換を行って0次の成分から（N-1）次までのj次の成分の係数を得るようにした変換装置において、j個のM次曲線（Mは1以上の整数）を接続して形成されゼロクロスをもつ再生するような曲線を上記j次の成分として用いるようにしたことを特徴とする画像データ変換装置。

【請求項2】 上記M次曲線は直線である請求項1記載の画像データ変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば画像データを離散コサイン変換方式で圧縮して伝送する画像データ伝送装置及びその圧縮された画像データを受信して逆離散コサイン変換方式で元の画像データを復元する画像データ受信装置に適用して好適な画像データ変換装置に関する。

$$X = \begin{pmatrix} x_0, 0, \dots, x_0, 7 \\ x_1, 0, \dots, x_1, 7 \\ \vdots \\ x_7, 0, \dots, x_7, 7 \end{pmatrix},$$

＊。

【0002】

【従来の技術】 従来、画像データを圧縮する方式として8次の離散コサイン変換（discrete cosine transform: 以下「DCT」という。）が使用されている。8次のDCTにおいては、各画素毎の画像データ x_i （ $i = 0, 1, 2, \dots$ ）を水平方向（X方向）に8ドット周期で且つ垂直方向（Y方向）に8ドット周期でブロック化し、それぞれ実空間上の64ドット分の画像データ（要素） x_i, j （ $0 \leq i, j \leq 7$ ）よりなる行列Xを生成し、この行列X毎に変換を行うことにより空間周波数の空間上の64個の要素 c_i, j （ $0 \leq i, j \leq 7$ ）よりなる行列Cを得ている。実空間上の行列X及び空間周波数の空間上の行列Cはそれぞれ次の数1で表すことができる。

【0003】

【数1】

$$C = \begin{pmatrix} c_0, 0, \dots, c_0, 7 \\ c_1, 0, \dots, c_1, 7 \\ \vdots \\ c_7, 0, \dots, c_7, 7 \end{pmatrix}$$

とができる。

【数2】

【0004】 この場合、DCTはDCT変換行列N及びこの行列の転置行列N'を用いて次のように定義するこ

$$C = \frac{1}{16} NXN^t,$$

$$N = \begin{pmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \frac{\pi}{16} & \frac{3\pi}{16} & \frac{5\pi}{16} & \frac{7\pi}{16} & \frac{9\pi}{16} & \frac{11\pi}{16} & \frac{13\pi}{16} & \frac{15\pi}{16} \\ \frac{2\pi}{16} & \frac{6\pi}{16} & \frac{10\pi}{16} & \frac{14\pi}{16} & \frac{18\pi}{16} & \frac{22\pi}{16} & \frac{26\pi}{16} & \frac{30\pi}{16} \\ \frac{3\pi}{16} & \frac{9\pi}{16} & \frac{15\pi}{16} & \frac{21\pi}{16} & \frac{27\pi}{16} & \frac{33\pi}{16} & \frac{39\pi}{16} & \frac{45\pi}{16} \\ \frac{4\pi}{16} & \frac{12\pi}{16} & \frac{20\pi}{16} & \frac{28\pi}{16} & \frac{36\pi}{16} & \frac{44\pi}{16} & \frac{52\pi}{16} & \frac{60\pi}{16} \\ \frac{5\pi}{16} & \frac{15\pi}{16} & \frac{25\pi}{16} & \frac{35\pi}{16} & \frac{45\pi}{16} & \frac{55\pi}{16} & \frac{65\pi}{16} & \frac{75\pi}{16} \\ \frac{6\pi}{16} & \frac{18\pi}{16} & \frac{30\pi}{16} & \frac{42\pi}{16} & \frac{54\pi}{16} & \frac{66\pi}{16} & \frac{78\pi}{16} & \frac{90\pi}{16} \\ \frac{7\pi}{16} & \frac{21\pi}{16} & \frac{35\pi}{16} & \frac{49\pi}{16} & \frac{63\pi}{16} & \frac{77\pi}{16} & \frac{91\pi}{16} & \frac{105\pi}{16} \end{pmatrix}$$

【0005】この数2の変換は、行列Xを8列のそれぞれ8個の要素よりなる列ベクトルに分けた場合の、これら8列の列ベクトルのそれぞれと行列Nとの乗算と、この乗算の結果得られた行列を8行のそれぞれ8個の要素よりなる行ベクトルに分けた場合の、これら8行の行ベクトルのそれぞれと転置行列N^tとの乗算とに分解することができる。また、そのDCTにより圧縮された画像データを復元するには8次の逆離散コサイン変換 (inverse

discrete cosine transform:以下「IDCT」という。)が使用される。このIDCTは空間周波数の空間上の行列Cより、IDCT変換行列N^t及びこの行列の転置行列N^tを用いて実空間上の行列Xを得るものであり、その変換は次のように定義される。

【0006】

【数3】

$$X \rightarrow N' \cdot CN'^{-1},$$

$$N' = \begin{bmatrix} 1/\sqrt{2} \cos \frac{\pi}{16} & \cos \frac{2\pi}{16} & \cos \frac{3\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{5\pi}{16} & \cos \frac{6\pi}{16} & \cos \frac{7\pi}{16} \\ 1/\sqrt{2} \cos \frac{3\pi}{16} & \cos \frac{6\pi}{16} & \cos \frac{9\pi}{16} & \cos \frac{12\pi}{16} & \cos \frac{15\pi}{16} & \cos \frac{18\pi}{16} & \cos \frac{21\pi}{16} \\ 1/\sqrt{2} \cos \frac{5\pi}{16} & \cos \frac{10\pi}{16} & \cos \frac{15\pi}{16} & \cos \frac{20\pi}{16} & \cos \frac{25\pi}{16} & \cos \frac{30\pi}{16} & \cos \frac{35\pi}{16} \\ 1/\sqrt{2} \cos \frac{7\pi}{16} & \cos \frac{14\pi}{16} & \cos \frac{21\pi}{16} & \cos \frac{28\pi}{16} & \cos \frac{35\pi}{16} & \cos \frac{42\pi}{16} & \cos \frac{49\pi}{16} \\ 1/\sqrt{2} \cos \frac{9\pi}{16} & \cos \frac{18\pi}{16} & \cos \frac{27\pi}{16} & \cos \frac{36\pi}{16} & \cos \frac{45\pi}{16} & \cos \frac{54\pi}{16} & \cos \frac{63\pi}{16} \\ 1/\sqrt{2} \cos \frac{11\pi}{16} & \cos \frac{22\pi}{16} & \cos \frac{33\pi}{16} & \cos \frac{44\pi}{16} & \cos \frac{55\pi}{16} & \cos \frac{66\pi}{16} & \cos \frac{77\pi}{16} \\ 1/\sqrt{2} \cos \frac{13\pi}{16} & \cos \frac{26\pi}{16} & \cos \frac{39\pi}{16} & \cos \frac{52\pi}{16} & \cos \frac{65\pi}{16} & \cos \frac{78\pi}{16} & \cos \frac{91\pi}{16} \\ 1/\sqrt{2} \cos \frac{15\pi}{16} & \cos \frac{30\pi}{16} & \cos \frac{45\pi}{16} & \cos \frac{60\pi}{16} & \cos \frac{75\pi}{16} & \cos \frac{90\pi}{16} & \cos \frac{105\pi}{16} \end{bmatrix}$$

この数3の変換も、8列の空間周波数の空間上の列ベクトルと変換行列 N' との乗算と、この乗算の結果得られた行列の8行の行ベクトルと転置行列 N'^{-1} との乗算とに分解することができる。

【0007】

【発明が解決しようとする課題】しかしながら、DCT変換行列 N 及びIDCT変換行列 N' の要素は全て無理数であり、精度よく上述の変換を行うには十分に大きな語長を有する乗算回路を必要とするため、全体として回路規模が大きくなる不都合がある。また、画像データを圧縮して復元する場合には、原データと復元データとの差ができるだけ小さく再現性が良好であることが望ましい。本発明は斯かる点に鑑み、DCT及びIDCTを適用した場合と同程度の再現性でデータの圧縮及び復元ができることと、全体として回路規模が従来よりも小さい画像データ変換装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明による画像データ変換装置は、例えば図1に示すように、入力画像データを N 個ずつ（図1の例では $N=8$ ）ブロック化し、このブロック単位で変換を行って0次の成分から $(N-1)$ 次までの1次の成分の係数を得るようにした変換装置に

おいて、 J 個の M 次曲線（ $M=1, 2, \dots$ ）を接続して形成されゼロクロスが J 回生じるような曲線をその J 次の成分として用いるようにしたものである。

【0009】また、本発明はその M の値を1にして、（例えば図1A～Hに示すように） J 個の直線を接続して形成され J 個のゼロクロス点を有する折れ線をその J 次の成分とするものである。

【0010】

【作用】斯かる本発明によれば、従来のDCT及びIDCTにおけるコサイン波の代わりに M 次曲線を接続して形成された曲線が J 次の成分として使用されるので、DCT変換行列に対応する行列及びIDCT変換行列に対応する行列の要素として無理数は含まれない。従って、演算回路の語長が少なくて済むと共に演算回路が簡略化されるので、全体として回路規模を小さくすることができ、また、その1次の成分として J 個のゼロクロス点を有する折れ線を使用する場合には、演算が最も単純化されるので、回路規模を最も小さくすることができる。

【0011】これに関して、後述のようにその J 次の成分として折れ線を使用する場合の再現性はDCT及びIDCTを使用する場合と略々同じであることが確かめられており、その M 次曲線の次数が増すに随って変換の再

現性は次第に高まる。

【0012】

【実施例】以下、本発明の一実施例につき図面を参照して説明しよう。本例は画像データを8次のDCTに近似される方式で圧縮して伝送する画像データ送信装置に本発明を適用したものである。従来の8次のDCTにおいては図2に示すように、座標 x 上の8ドット分の画像データは、ゼロクロス点を有しない直流レベル（図2A）及び1個のゼロクロス点を有するコサイン波（図2B）～7個のゼロクロス点を有するコサイン波（図2H）の8個の成分の係数に分解される。このとき、数2におけるDCT変換行列 N は、8個のそれぞれ成分の個数が8個の基底ベクトルより構成され、これら8個の基底ベクトルはそれぞれ図2A～Hの直線レベル及びコサイン波をその8ドットの幅を等分した8点でサンプリングしたデータより構成される。

【0013】これに対して本例でも、図1に示すように、例えば座標 x 上の8ドット分の幅の画像データは8個の成分の係数に分解され、これら8個の成分の係数が周波数空間上の画像データとなる。しかしながら本例では、これら8個の成分は値が $1/2$ の直線レベル（図1A）、値がその8ドット分の幅の内部で1から-1に直線的に変化する直線（図1B）、2個の直線を連続して形成され値が $1 \rightarrow -1 \rightarrow 1$ と変化する2個のゼロクロス点を有する折れ線（図1C）及び同様に値が $1 \rightarrow -1$ との間で直線的に変化する3個～7個の直線を接続して形

成されそれぞれ3～7個のゼロクロス点を有する折れ線（図1D～H）より構成されている。本例では折れ線の成分を用いているので、本例の変換方式を8次の「直線近似DCT」と呼ぶ。また、本例でも実際には8ドット分の画像データを8個集積してなる数1で定義される8行×8列の行列 X に対してその直線近似DCTを施すことにより、数1で定義される空間周波数の空間上の8行×8列の行列 C が得られる。

【0014】本例の8次の直線近似DCTによる変換を数式化するために、この変換を行うための8行×8列の変換行列 M を次のように定義する。即ち、この行列 M の8個の行ベクトルはそれぞれ、図1A～Hの直線レベル及び折れ線をそれぞれその8ドットの幅を8等分した位置でサンプリングしたデータを要素とするベクトルとする。その8等分した位置とは正確には、その8ドットの各要素のそれぞれ中央の位置である。即ち、この行列 M の第1行の要素は図1Aより全て $1/2$ であり、この行列 M の第2行の要素は図1Bより $1/2, 1/2, 1/2, 1/2, 1/2, 1/2, 1/2, 1/2$ であり、同様に行列 M の他の行の要素も図1C～Hより求めることができる。その変換行列 M 及びこの行列 M の転置行列 M^t を用いることにより、本例の8次の直線近似DCTは次のように表すことができる。

【0015】

【数4】

$$C = \frac{1}{8} M X M^T,$$

$$M = \begin{bmatrix} \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \\ \frac{192}{291} & \frac{128}{291} & \frac{100}{291} & \frac{44}{291} & \frac{44}{291} & \frac{100}{291} & \frac{128}{291} & \frac{192}{291} \\ \frac{3}{5} & \frac{1}{5} & \frac{1}{5} & \frac{3}{5} & \frac{3}{5} & \frac{1}{5} & \frac{1}{5} & \frac{3}{5} \\ \frac{128}{291} & \frac{44}{291} & \frac{192}{291} & \frac{100}{291} & \frac{100}{291} & \frac{192}{291} & \frac{44}{291} & \frac{128}{291} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \\ \frac{100}{291} & \frac{192}{291} & \frac{44}{291} & \frac{128}{291} & \frac{128}{291} & \frac{44}{291} & \frac{192}{291} & \frac{100}{291} \\ \frac{1}{5} & \frac{3}{5} & \frac{3}{5} & \frac{1}{5} & \frac{1}{5} & \frac{3}{5} & \frac{3}{5} & \frac{1}{5} \\ \frac{44}{291} & \frac{100}{291} & \frac{128}{291} & \frac{192}{291} & \frac{192}{291} & \frac{128}{291} & \frac{100}{291} & \frac{44}{291} \end{bmatrix}$$

【0016】一方、その8次の直線近似DCTの逆変換である8次の直線近似IDCTは、周波数空間上の8行×8列の行列Cより次のような変換行列M'（この変換行列M'は定数を除いて変換行列Mの逆行列でもある。）及びこの行列の転置行列M'^Tを用いて実空間上の8行×8列の行列Xを求めるものであり、この直線近似8次IDCTは次のように定義することができる。

【数5】

$$X = 2 M' C M'^T,$$

$$M' = \begin{bmatrix} 1/2 & 8/7 & 3/4 & 5/8 & 1/2 & 3/8 & 1/4 & 1/8 \\ 1/2 & 5/8 & 1/4 & -1/8 & -1/2 & -7/8 & -3/4 & 3/8 \\ 1/2 & 3/8 & -1/4 & -7/8 & -1/2 & 1/8 & 3/4 & 5/8 \\ 1/2 & 1/8 & -3/4 & -3/8 & 1/2 & 5/8 & -1/4 & -7/8 \\ 1/2 & -1/8 & -3/4 & 3/8 & 1/2 & -5/8 & -1/4 & 7/8 \\ 1/2 & -3/8 & -1/4 & 7/8 & -1/2 & -1/8 & 3/4 & -5/8 \\ 1/2 & -5/8 & 1/4 & 1/8 & -1/2 & 7/8 & -3/4 & 3/8 \\ 1/2 & -7/8 & 3/4 & -5/8 & 1/2 & -3/8 & 1/4 & -1/8 \end{bmatrix}$$

【0017】ここでは、先ず数4の8次の直線近似DCTを応用した画像データ送信装置について説明する。図5は本例の画像データ送信装置の全体構成を示し、この

11

12

図3において、1は入力ポートであり、この入力ポート1に各画素の画像データ x_1 ($i=0, 1, 2, \dots$)を順次供給し、この画像データ x_1 をブロック化回路2において水平方向(X方向)に8ドット周期で且つ垂直方向(Y方向)に8ドット周期で順次ブロック化することにより、実空間上の8ドット×8ドットの画像データに対応する64個の画像データ(要素) x_1, j よりなる行列 X を順次形成する。3は本例の8次の直線近似DCT演算回路を示し、この直線近似DCT演算回路3にはその行列 X の64個の要素をシリアルに供給する。この8次の直線近似DCT演算回路3よりその行列 X に対応する周波数空間上の行列 C の64個の要素がシリアルに出力される。

【0018】4は再量子化回路を示し、例えば実空間上での原画像データの画素がそれぞれ8ビットである場合には、この再量子化回路4はその周波数空間上の行列 C の64個の要素の内の直流成分の画素を9ビットとしてその他の成分の画素を6ビット等に変換することによりデータの圧縮を行い、この圧縮されたデータを2次元の可変長符号(VLC)回路5に供給する。このVLC回路5は、その再量子化後の8×8ドット分の画像データをジグザグに走査することにより、連続する0の個数を示すランとその連続する0の後に続くデータの値を示すレベルとを用いて2次元VLCの表を作成し、この表のデータ及び直流成分のデータを出力ポート6を介して送信回路に供給する。

【0019】図3例中の直線近似DCT演算回路3の構成及び動作について説明するに、本例では数4の変換行列 M を次のように8行×8列の2つの行列 D_1 と D_2 との積に分解する。

【数6】

$$\begin{aligned}
 C &= \frac{1}{8} M X M^* = \frac{1}{8} (D_2 D_1) X (D_2 D_1)^* \\
 &= \frac{1}{8} D_2 (D_1 X D_1^*) D_2^* \\
 &= \frac{1}{8} D_2 [b_{i,j}] D_2^*
 \end{aligned}$$

【0021】この数7において、 D_1^* 及び D_2^* はそれぞれ行列 D_1 及び D_2 の転置行列であり、 $[b_{i,j}]$ は $D_1 X D_1^*$ の演算により得られ要素が $b_{i,j}$ ($0 \leq i, j \leq 7$)である8行×8列の行列を示す。この数7より、本例の8次の直線近似DCT演算は、まず64個の入力画像データよりなる行列 X と行列 D_1 とを用いて行列 $[b_{i,j}]$ を求めた後に、 $D_2 [b_{i,j}]$ 、 $j] D_2^*$ の演算を行うことにより実行されることが分かる。なお、 $(1/8)$ の乗算は単なるシフト演算であ

* $M=D_2 \times D_1$

$$\begin{aligned}
 &= \begin{bmatrix} \frac{1}{2} & & & & & & & \\ & \frac{4}{291} & & & & & & \\ & & \frac{1}{5} & & & & & \\ & & & \frac{4}{291} & & & & \\ & & & & \frac{1}{2} & & & \\ & & & & & \frac{4}{291} & & \\ & & & & & & \frac{1}{5} & \\ & & & & & & & \frac{4}{291} \end{bmatrix} \begin{bmatrix} 0 \\ & & & & & & & 0 \end{bmatrix} \\
 & \times \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 48 & 32 & 25 & 11 & -11 & -25 & -32 & -48 \\ 3 & 1 & -1 & -3 & -3 & -1 & 1 & 3 \\ 32 & -11 & -48 & -25 & 25 & 48 & 11 & -32 \\ 1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 \\ 25 & -48 & 11 & 32 & -32 & -11 & 48 & -25 \\ 1 & -3 & 3 & -1 & -1 & 3 & 3 & 1 \\ 11 & -25 & 32 & -48 & 48 & -32 & 25 & -11 \end{bmatrix}
 \end{aligned}$$

【0020】この場合、数4の8次の直線近似DCT変換は次のように表すことができる。

【数7】

行けるので、以下では説明を省略する。この場合、行列 D_2 は対角成分のみが非常の行列であり、その $D_2 [b_{i,j}]$ 、 $j] D_2^*$ の演算は行列 $[b_{i,j}]$ の要素 $b_{i,j}$ に順次 $\{(1/2) \cdot (1/2), (4/291) \cdot (4/291), \dots, (4/291) \cdot (4/291)\}$ の中から選ばれた定数を乗算することにより行われる。

【0022】図4はその数7の演算を実行するための8次の直線近似DCT演算回路を示し、この図4におい

13

て、7は8次の内積演算回路である。この8次の内積演算回路7に行列Xの64要素をシリアルに供給し、この8次の内積演算回路7は、数7における(D1X)の演算を行列D1と行列Xを構成する8個の列ベクトルとの乗算に分解して行う。行列D1を8個の行ベクトルに分解すれば、その行列D1と行列Xとの乗算は8次のベクトル同士の64回の内積演算で求むることができる。

【0023】その内積演算回路7の出力データを配列変換回路8に供給する。この配列変換回路8は、その内積演算回路7より列ベクトルの形式で出力される行列(D1X)の配列を変換することにより行列(D1X)を行ベクトルの形式で後段の8次の内積演算回路9に供給する。この内積演算回路9は、数7における行列(D1X)と転置行列D1'との乗算を行ベクトルと列ベクトルとの内積に分解して実行する回路であるが、この演算は実質的に行列D1と行列Xとの乗算と等価である。従って、この後段の内積演算回路9は前段の内積演算回路7と同一の構成にすることができる。この内積演算回路9からは数7における行列(D1X D1')の要素b1, jがシリアルに出力されるので、この要素b1, jを乗算回路10の一方の入力部に供給し、この乗算回路10の他方の入力部に係数αkを供給する。この乗算回路10からはその要素b1, jに係数αkを乗算した値が順次出力される。

【0024】数6より行列D2の対角成分の2乗の集合は{(1/2)・(1/2), (4/29)・(4/29), ..., (4/29)・(4/29)}であるため、その係数αkをその集合の中から順次選択することにより、その乗算回路10において数7における(D2[b1, j] D2')の演算が実行される。この演算により得られた空間四重積の空間上の行列Cの各要素は図3の両重平均化回路4に供給される。

【0025】本例の8次の内積演算回路7の構成例につき説明するに、数6より本例の行列D1は要素が1, 4, 8, 3, ...という簡単な整数のみであるため、その8次の内積演算回路7は図5及び図6に示す回路を用いて構成することができる。

【0026】図5はその8次の内積演算回路の具体的な構成例を示し、この図5において、11A及び11Bはそれぞれ入力データに1を乗算する乗算回路、12A～12Dはそれぞれ入力データに(11, 2, 5, 3, 2, 4, 8)の内の何れかであるβを乗算するβ乗算回路、13A及び13Bはそれぞれ入力データに(1, 3)の内の何れかであるγを乗算するγ乗算回路を示し、これら8個の乗算回路11A～12Dの入力部を並列に入力ポートに接続し、乗算回路11Aの出力を累加減算回路14に供給し、乗算回路12A, 13A, 12B, 11B, 12C, 13B, 12Dの出力を入力データを累積的に加減算する累加減算回路15A～15Gに供給し、これら

14

累加減算回路14及び累加減算回路15A～15Gの出力を並列にパレル/シリアル(P/S)変換回路16に供給する。このP/S変換回路16の出力がこの内積演算回路の最終的な出力になる。

【0027】その図5の内積演算回路において、例えば乗算回路11Aと累加減算回路14とにより行列D1の第1行の行ベクトル(数6参照)と行列Xの各列ベクトルとの内積が計算され、β乗算回路12Aと累加減算回路15Aとにより行列D1の第2行の行ベクトルと行列Xの各列ベクトルとの内積が計算され、同様に後続の乗算回路と累加減算回路と組合せにより行列D1の第3行以下の各行ベクトルと行列Xの各列ベクトルとの内積が計算される。これにより数7における(D1X)の演算が実行される。

【0028】図5のβ乗算回路12A等及びγ乗算回路13A等の具体的な構成例につき説明するに、先ずβ乗算回路12A等の構成例を図6Aに示す。この図6Aにおいて、入力データを32倍回路17、16倍回路18、第1の2倍回路19A、第1の8倍回路20A、第2の8倍回路20B及び第1の1倍回路21Aに供給し、32倍回路17、16倍回路18、第1の2倍回路19Aの出力を3入力データのデータセレクト22の2入力部に供給し、第2の8倍回路20B及び第1の1倍回路21Aの出力を第1の2入力データのデータセレクト23Aの入力部に供給し、データセレクト22, 23A及び第1の8倍回路20Aの出力を加算回路24で加算する。データセレクト22及び23Aでのデータの選択を調整することにより、(11, 2, 5, 3, 2, 4, 8)の内の所望の倍率を得ることができる。この場合、32倍、16倍、8倍及び2倍はそれぞれデータのシフトのみで実行できるため、実質的に乗算回路を使用するなく回路規模を小型化することができる利益がある。

【0029】また、図6Bはγ乗算回路13A等の構成例を示し、この図6Bにおいて、入力データを第2の1倍回路21B及び第2の2倍回路19Bに供給し、この第2の2倍回路19Bの出力及び値が“0”のデータを2入力データのデータセレクト23Bに供給し、第2の1倍回路21Bの出力及び第2のデータセレクト23Bの出力を加算回路25で加算する。そのデータセレクト23Bを切り換えることにより、1倍又は3倍の内の所望の倍率を得ることができる。この図6Bのγ乗算回路もシフト回路だけを用いて構成できるため、回路規模が小さくなる利益がある。

【0030】また、図5の内積演算回路を簡略化した図7に示す8次の内積演算回路を使用することもできる。この図7において、行列Xの各列ベクトルの要素をI0～I7とすると、シリアル入力データI0～I7をシリアル/パレル(S/P)変換回路26に供給し、このS/P変換回路26は順次並列の8個のデータI0～I7を出力する。これらデータの下の位4個のデー

15

タ10〜13を第1の4入力のデータセレクタ27Aの入力部に供給し、上位の4個のデータ14〜17を第2の4入力のデータセレクタ27Bの入力部に供給し、データセレクタ27Aの出力を加算回路28の一方の入力部に供給し、データセレクタ27Bの出力を直接及び2の補数器29を介して2入力のデータセレクタ30の入力部に供給し、このデータセレクタ30の出力を加算回路28の他方の入力部に供給する。2の補数器29とは、入力データに-1を乗算する回路である。

【0031】31は1入力2出力のシリアル/パラレル(S/P)変換回路を示し、加算回路28の出力をそのS/P変換回路31に供給する。このS/P変換回路31の出力の内の下位側のデータを入力データに1倍する乗算回路11C及び入力データに1又は3の何れかの γ を乗する γ 乗算回路13Cに供給し、そのS/P変換回路31の出力の内の上位側のデータを入力データに(11, 25, 32, 48)の内何れかの β を乗する β 乗算回路12E及び別の β 乗算回路12Fに供給する。

【0032】32A〜32Dは同一構成の演算ユニットを示し、例えば演算ユニット32Aにおいて、乗算回路11Cの出力を直接及び2の補数器33を介して2入力のデータセレクタ34の入力部に供給し、このデータセレクタ34の出力を加算回路35の一方の入力部に供給し、この加算回路35の出力を縦続接続された2個の単位遅延素子としてのレジスタ36A及び36Bを介してこの加算回路35の他方の入力部に戻す。レジスタ36Bの出力及びレジスタ36Aの出力がそれぞれこの演算ユニット32Aの第1の出力及び第2の出力となる。他の演算ユニット32B〜32Dはそれぞれ乗算回路13C, 12E, 12Fの出力を入力して第1の出力及び第2の出力を生成する。37は8入力1出力のパラレル/シリアル(P/S)変換回路を示し、このP/S変換回路37の並列の入力部に演算ユニット32Aの第1の出力、演算ユニット32Cの第1の出力、演算ユニット32Bの第1の出力、演算ユニット32Cの第2の出力、演算ユニット32Aの第2の出力、演算ユニット32Dの第1の出力、演算ユニット32Bの第2の出力及び演算ユニット32Dの第2の出力をこの順序で並列に供給し、このP/S変換回路37よりシリアル出力データを得る。

【0033】図9の内積演算回路による数7中の(D1X)の演算動作につき説明するに、その行列Xの列ベクトルの要素をI0〜I7、行列(D1X)の列ベクトルの要素をO0〜O7とすると、その演算(D1X)は次のように分解して表現することができる。

【数8】

$$\begin{pmatrix} 00 \\ 01 \\ \vdots \\ 07 \end{pmatrix} \cdot D1 \begin{pmatrix} 10 \\ 11 \\ \vdots \\ 17 \end{pmatrix}$$

【0034】数6で表される行列D1の形より、本例ではその数8の演算を次のように変形する。

$$O0 = (I0+I7) + (I1+I6) + (I2+I5) + (I3+I4)$$

$$O1 = 48(I0-I7) + 32(I1-I6) + 25(I2-I5) + 11(I3-I4)$$

.....

$$O6 = (I0+I7) - 3(I1+I6) + 3(I2+I5) - (I3+I4)$$

$$O7 = 11(I0-I7) - 25(I1-I6) + 32(I2-I5) - 48(I3-I4)$$

この変形より、数8の演算は、(11+I7-I)の(1=0, 1, ..., 7)の演算、(11-I7-I)の演算、これらと整数の定数との乗算及びこれらの乗算結果の累加演算に分解できることが分かる。

【0035】その図7の内積演算回路において、加算回路28は(11+I7-I)の演算を実行し、乗算回路11C〜12Fはその演算結果と整数の定数との乗算を実行し、演算ユニット32A〜32Dは累積的な加減算を実行する。図6より β 乗算回路は1個の3入力の加算回路(即ち、2個の2入力の加算回路)を有し、 γ 乗算回路は1個の2入力の加算回路を有するのみであるため、この図7の内積演算回路は全体として1個の2入力の加算回路を有する。これに対して図5の内積演算回路は全体として18個の2入力の加算回路を有するものであるため、図7の回路構成によれば回路規模をより小さくすることができるといえる。

【0036】次に、数5の8次の直線近似IDCTを応用した画像データ受信装置について説明する。図8は本例の画像データ受信装置の全体構成を示し、この図8において、38は入力ポートであり、この入力ポート38に図示省略した受信回路より2次元の可変長符号(VLC)の表のデータが順次供給し、この表のデータを可変長符号のデコードを行うIVLC回路39に供給する。40は図3の再量子化回路4の動作の逆の動作を行う再量子化のデコード回路を示し、このデコード回路40にIVLC回路39の出力データを供給し、このデコード回路40より数1で定義される空間周波数の空間上の行列Cの各要素 c_i, j を8次の直線近似IDCT回路41に供給する。

【0037】この直線近似IDCT回路41は、変換行列Mを用いて数5の変換を行うことにより数1で定義される実空間上の行列Xを得て、この行列Xの各要素 x_i, j をブロック分解回路42に供給する。このブロック分解回路42はその各要素を水平方向及び垂直方向に再配列して得た画像データを接続ポート43に供給する。

【0038】図9を参照して本例の8次の直線近似ID

CT演算回路41の構成列につき説明するに、この図9において、44は前段の8次の内積演算回路を示し、この内積演算回路44に数5における行列Cの要素c1, jをシリアルに供給する。この内積演算回路44は、数5における変換行列Mと行列Cとの乗算を複数の内積演算に分解して実行する。この内積演算回路44からはその乗算結果の行列が8個の列ベクトルとして順次出力されるので、配列変換回路45を用いてその8個の列ベクトルを8個の行ベクトルに変換し、これら8個の行ベクトルを後段の8次の内積演算回路46に供給する。この内積演算回路46は、数6における行列(MC)と行列M⁻¹との乗算を複数の内積演算に分解して実行して、得られた行列Xの各要素x1, jをシリアルに出力し、この要素x1, jを図8のブロック分解回路42に供給する。なお、数5における2の乗算はシフト演算のみで実行できるので、回路構成は省略する。

【0039】直線近似DCT演算回路の場合と同様に後段の8次の内積演算回路46は前段の8次の内積演算回路44と同一に構成することができ、この場合、数5より本例の変換行列M⁻¹の要素は全て±2⁻ⁿ (n=1, 2, ...)又は(±2⁻ⁿ±2⁻ⁿ) (m=1, 2, ...)で表すことができ、本例の内積演算回路44及び46は乗算回路を使用することなく加減算回路のみで構成することができるため、従来のIDCT演算回路に比べて回路規模を小さくできる利益がある。

【0040】図10を参照して図9の内積演算回路44の具体的な構成列につき説明するに、この図10において、47は1入力で8出力のシリアル/パラレル(S/P)変換器を示し、このS/P変換器47に行列Cの各要素c1, jをシリアルに供給し、このS/P変換器47より行列Cの各列ベクトルの8個の要素10〜17を並列に出力する。48A及び48Bはそれぞれ要素10及び11に(1/2)を乗算する乗算回路、49A〜49F

$$\begin{aligned} 00 &= (10/2+14/2)+(312/4-16/4)+(711/8+513/8+315/8-17/8) \\ 01 &= (10/2-14/2)+(12/4-316/4)+(511/8-13/8-715/8-317/8) \\ 02 &= (10/2-14/2)-(12/4-316/4)+(311/8-713/8+15/8+517/8) \\ &\dots\dots\dots \\ 06 &= (10/2-14/2)+(12/4-316/4)-(511/8-13/8-715/8-317/8) \\ 07 &= (10/2+14/2)+(312/4-16/4)-(711/8+513/8+315/8-17/8) \end{aligned}$$

【0044】例えば00を求める場合には、(10/2+14/2)の演算は乗算回路48A、48B、演算ユニット51D及び加算回路54により行われ、(312/4-16/4)の演算は乗算回路50A、50B、演算ユニット51B、51F及び加算回路54により行われ、(711/8+513/8+315/8-17/8)の演算は乗算回路49A〜49D、演算ユニット51A、51C、51E、51G及び加算回路54により行われる。次に、図11を参照して図10中の乗算回路49A等及び乗算回路50A等の構成列につき説明する。

【0045】図11Aは乗算回路の一例を示し、この

*Dはそれぞれ要素11, 13, 15, 17に(1/8, 3/8, 5/8, 7/8)の内の何れかのδを乗算する乗算回路、50A及び50Bはそれぞれ要素12及び16に1/4又は3/4の何れかのεを乗算する乗算回路を示す。

【0041】また、51A〜51Gはそれぞれ同一構成の演算ユニットを示し、これら演算ユニット51A〜51Gに乗算回路49A, 50A, 49B, 48B, 49C, 50B及び49Dの出力を供給する。例えば演算ユニット51Aにおいては、乗算回路49Aの出力を直接及び2の補数器52を介して2入力のデータセレクタ53の入力部に供給し、この演算ユニット51Aは入力データに1又は-1を乗算して得られるデータを出力する。そして、乗算回路48Aの出力及び演算ユニット51A〜51Gの出力を加算回路54で全て加算することにより、最終的な出力である行列(M⁻¹C)の各列ベクトルの要素を得る。

【0042】図10の内積演算回路の動作につき説明するに、行列Cの各列ベクトルの要素を10〜17、行列(M⁻¹C)の各列ベクトルの要素を00〜07とすると、本例では数5における演算(M⁻¹C)を次のような演算に分解して行う。

【数9】

$$\begin{pmatrix} 00 \\ 01 \\ \vdots \\ 07 \end{pmatrix} = M^{-1} \begin{pmatrix} 10 \\ 11 \\ \vdots \\ 17 \end{pmatrix}$$

【0043】その数9の演算は数5の変換行列M⁻¹の具体的な形を考慮すると次のような計算に変形することができる。

【数10】

図11Aにおいて、入力データをそれぞれ入力データに定数1, 1/2, 1/4, 1/8を乗算する乗算回路55, 56A, 57A, 58に供給し、乗算回路55, 56A及び57Aの出力を3入力のデータセレクタ59の入力部に供給し、このデータセレクタ59の出力を加算回路62の一方の入力部に供給し、乗算回路58の出力を直接及び2の補数器60を介して2入力のデータセレクタ61の一方の入力部に供給し、このデータセレクタ61の出力を加算回路62の他方の入力部に供給する。データセレクタ59及び61でのデータの選択を切り換えることにより、入力データに(1/8, 3/8, 5/8, 7/8

19

／8)の内の何れかを乗算することができる。

【0046】図11Bはε乗算回路の一例を示し、この図11Bにおいて、入力データをそれぞれ入力データに定数1／2及び1／4を乗算する乗算回路56B及び57Bに供給し、これら乗算回路56B及び57Bの出力を乗算回路63で加算し、この加算回路63の出力を2入力のデータセレクタ64の一方の入力部に供給し、乗算回路57Bの出力をこのデータセレクタ64の他方の入力部に供給する。このデータセレクタ64におけるデータの選択を切り換えることにより入力データに1／4又は3／4の何れかを乗算することができる。この場合、1／2～1／8の乗算は単なるシフト演算であり乗算回路56A等はシフト回路で代用できるため、図10の内積演算回路は回路構成が簡略化され回路規模が小型である。

【0047】また、図10の回路において、加算回路54は7個の2入力の加算回路で構成でき、δ乗算回路49A等及びε乗算回路50A等はそれぞれ1個の2入力の加算回路を有するものであるため、図10の内積演算回路は合計で13個の2入力の加算回路を用いて構成することができる。

【0048】次に、図9の中での8次の内積演算回路44の他の例につき図12を参照して説明する。この図12において、S／P変換器47より並列に出力される8個のデータ10～17の中でデータ10、12、14、16を4入力のデータセレクタ65Aの入力部に供給し、データ11、13、15、17を他の2個の4入力のデータセレクタ65B及び65Cの入力部に供給する。また、データセレクタ65Aの出力を入力データに1／2を乗算する乗算回路48C及び入力データに1／4又は3／4の何れかを乗算するε乗算回路50Cを介して2入力のデータセレクタ65Dの入力部に供給し、データセレクタ65B及び65Cの出力を入力データに(1／8、3／8、5／8、7／8)の何れかのδを乗算するδ乗算回路49E及び49Fに供給する。

【0049】66A～66Eはそれぞれ2の補数器67と2入力のデータセレクタ68とより構成される演算ユニットを示し、これら演算ユニット66A～66Eは入力データに1又は-1を乗算するものである。そして、データセレクタ65D、δ乗算回路49E及びε乗算回路49Fの出力をそれぞれ演算ユニット66A～66Cを介して加算回路69A～69Cの一方の入力部に供給し、加算回路69Aの出力を縦続接続された単位遅延素子としての4個のレジスタ70A～70Dを介して加算回路69Aの他方の入力部に戻し、レジスタ70A及び70Bの出力をデータ保持用のレジスタ71A及び71Bを介して2入力のデータセレクタ73の入力部に供給し、レジスタ70C及び70Dの出力をデータ保持用のレジスタ71C及び71Dを介して2入力のデータセレクタ72の入力部に供給する。

20

【0050】また、加算回路69Bの出力を縦続接続されたレジスタ70E及び70Fを介してこの加算回路69Bの他方の入力部に戻し、レジスタ70E及び70Fの出力をレジスタ71E及び71Fを介して4入力のデータセレクタ74の2個の入力部に供給し、加算回路69Cの出力をレジスタ70G及び70Hを介してこの加算回路69Cの他方の入力部に戻し、レジスタ70G及び70Hの出力をレジスタ71G及び71Hを介してデータセレクタ74の他の2個の入力部に供給する。そして、データセレクタ72の出力データ、データセレクタ73の出力より演算ユニット66Dを介して得られた出力データ及びデータセレクタ74の出力より演算ユニット66Eを介して得られた出力データを加算回路75で加算することにより、最終的な出力を得る。

【0051】図12の8次の内積演算回路の動作につき説明するに、入力データを10～17、出力データを00～07として、この回路も素子で定義される8次の直線近似DCTの演算を数10の演算に分解して行うものとする。この場合、数10における(10/2+14/2)及び(312/4+16/4)等は前段の左側の加算回路69Aにより計算され、数10における(711/8+613/8+915/8-17/8)等は前段中央の加算回路69Bにより計算され、数10における(311/8-713/8-15/8+517/8)等は前段右側の加算回路69Cで計算される。図12の回路において、加算回路75は2個の2入力の加算回路で構成できるため、この図12の内積演算回路は合計で8個の2入力の加算回路を使用するのみで構成することができる。従って、この図12の例は図10の例に比べて同回路規模をより小型化することができる。

【0052】上述実施例は本発明を8ドット×8ドットのブロック毎に変換を行う場合に適用したものであるが、本発明は他の任意の大きさのブロックを対象とする変換に適用することができる。例えば行列Xを空間上の4行×4列の行列、行列Cを周波数空間上の4行×4列の行列、4次の直線近似DCT用の変換行列をM4、この行列の転置行列をM4^tとすると、4次の直線近似DCTは次のように表すことができる。

【数11】

$$C = \frac{1}{2} M4 M4^t,$$

$$M4 = \begin{bmatrix} 1/2 & 1/2 & 1/2 & 1/2 \\ 3/5 & 1/5 & -1/5 & -3/5 \\ 1/2 & -1/2 & -1/2 & 1/2 \\ 1/5 & -3/5 & 3/5 & -1/5 \end{bmatrix}$$

【0053】また、行列M4の逆行列をM4⁻¹とする

21

と、4次の直線近似IDCTは次の数12ように表すことができる。数12より直線近似IDCT用の変換行列M4'の要素は±1/2又は(±1/2±1/4)で表すことができることが分かるが、これにより4次の直線近似IDCT演算においては、乗算回路が不要になる。
【数12】

$$X=2M4'CM4'^{-1},$$

$$M4' = \begin{bmatrix} 1/2 & 3/4 & 1/2 & 1/4 \\ 1/2 & 1/4 & -1/2 & -3/4 \\ 1/2 & -1/4 & -1/2 & 3/4 \\ 1/2 & -3/4 & 1/2 & -1/4 \end{bmatrix}$$

【0054】同様に16次の直線近似DCT用の変換行列M16及び16次の直線近似IDCT用の変換行列(即ち、行列M16の逆行列)M16'も求めることができる。この16次の場合でも、直線近似IDCT用の変換行列M16'の要素は全て±2^{-k}又は(±2^{-k}±2^{-l})であることが分かっている。そのため、16次の直線近似IDCT演算においても、乗算回路が不要になる。

【0055】次に8次の直線近似DCT演算及び直線近似IDCT演算を施した後のデータの再現性につき検討するに、原画像データの語長を8ビットとする。この場合、原データと復元データとの平均2乗誤差をεとして、画像データの再現性を表す指標として次のように再現性のSN比を定義する。

【数13】

$$SN比 = 20 \lg \frac{2^8 - 1}{\sqrt{\epsilon}}$$

【0056】この再現性のSN比は、原データと復元データとの差が小さくなる程に大きくなる。再量子化における語長を直流成分については9ビット、その他の成分については7ビットとすると、従来のDCT及びIDCTを用いた変換による再現性のSN比は3.6、1dB、本例の8次の直線近似DCT及び直線近似IDCTを用いた変換による再現性のSN比は3.4、6dBであった。また、再量子化における語長を直流成分については9ビット、その他の成分については6ビットとした場合には、従来のDCT及びIDCTを用いた変換による再現性のSN比は3.1、0dB、本例の8次の直線近似DCT及び直線近似IDCTを用いた変換による再現性のSN比は2.9、6dBであった。このことは本例の8次の直線近似DCT及び直線近似IDCTによる再現性は従来のDCT及びIDCTによる再現性と同等であることを意味する。同様に、4次及び16次の場合にも、本

22

例の直線近似DCT及び直線近似IDCTによる再現性は、従来のDCT及びIDCTによる再現性と同等であることが確かめられている。

【0057】なお、上述実施例では例えば図1に示すように、画像データについて直線(正確には「級分」)を接続して形成される折れ線の成分の係数を求めるようにしているが、そのような折れ線の代わりにM次曲線(Mは2以上の整数)を接続して形成される曲線の成分の係数を求めるようにしてもよい。次数が大きくなる程に原データと復元データとの再現性は向上するが、演算は複雑化する。ただし、M次曲線を使用する場合にはコサイン波の場合と異なり変換行列の要素に無理数が含まれることがないため、演算回路はDCT及びIDCTを使用する場合に比べて簡略化される。このように、本発明は上述実施例に限定されず本発明の要旨を逸脱しない範囲で種々の構成を取り得ることは勿論である。

【0058】

【発明の効果】本発明によれば、従来のコサイン波形の代わりにM次曲線を接続した曲線の成分を求めるようにしているので、変換行列の要素に無理数が含まれることがなくなり、変換の精度をあまり低下させることなく回路規模を小型化できる利益がある。また、そのM次曲線を直線(M=1)とした場合には、回路規模を最も小型化することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の8次の直線近似DCTの変換行列の基底ベクトルの説明に供する線図である。

【図2】従来の8次のDCTの変換行列の基底ベクトルの説明に供する線図である。

【図3】本発明の実施例の画像データ送信装置の全体構成を示すブロック図である。

【図4】図3の例の8次の直線近似DCT演算回路の一例を示す構成図である。

【図5】図4の例の8次内積演算回路の一例を示す構成図である。

【図6】(A)は図5の例のβ乗算回路の一例を示し、(B)は図5の例のγ乗算回路の一例を示す構成図である。

【図7】図4の例の8次内積演算回路の他の例を示す構成図である。

【図8】本発明の実施例の画像データ受信装置の全体構成を示すブロック図である。

【図9】図8の例の8次の直線近似IDCT演算回路の一例を示す構成図である。

【図10】図9の例の8次内積演算回路の一例を示す構成図である。

【図11】(A)は図10の例のδ乗算回路の一例を示し、(B)は図10の例のε乗算回路の一例を示す構成図である。

【図12】図9の例の8次内積演算回路の他の例を示す

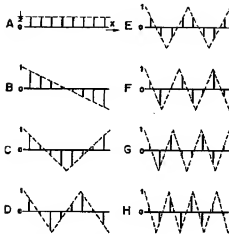
構成図である。

【符号の説明】

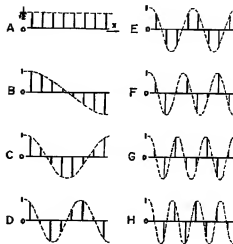
- 3 8次の直線近似DCT演算回路
- 7 8次内積演算回路
- 8 配列変換回路
- 9 8次内積演算回路

- 10 乗算回路
- 41 8次の直線近似DCT演算回路
- 44 8次内積演算回路
- 45 配列変換回路
- 46 8次内積演算回路

【図1】



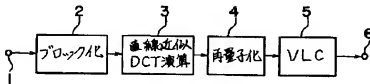
【図2】



本発明による直線近似DCTの基底ベクトル

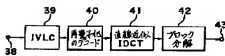
従来のDCTの基底ベクトル

【図3】



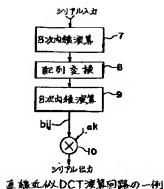
本発明の実施例の画像データ送信装置

【図8】



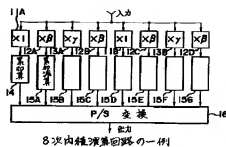
本発明の実施例の
画像データ受信装置

【図4】



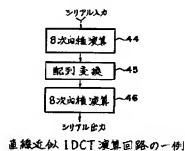
直線近似DCT演算回路の一例

【図5】



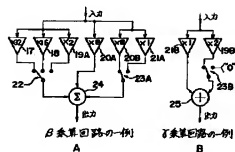
8次内積演算回路の一例

【図9】



直線近似IDCT演算回路の一例

【図6】



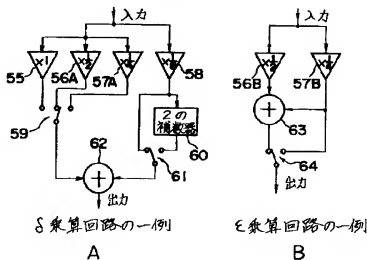
8乗算回路の一例

A

8乗算回路の一例

B

【図11】



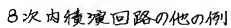
8乗算回路の一例

A

6乗算回路の一例

B

Y 入力



【図10】

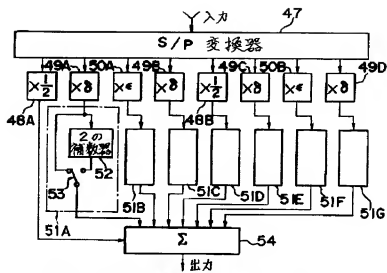


図9中の8次内積演算回路の一例

【図12】

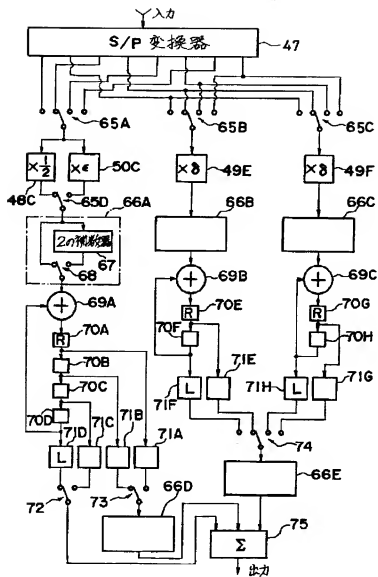


図9中の8次内積演算回路の他の例

(18)

特開平4-282988

フロントページの続き

(51) Int. Cl.³

H04N 1/41
1/415

識別記号

B 8839-5C
8839-5C

F I

技術表示箇所